

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—80970

⑬ Int. Cl.³
H 01 L 29/78
// H 01 L 29/60

識別記号

庁内整理番号
7377—5F
7638—5F

⑭ 公開 昭和59年(1984)5月10日

発明の数 1
審査請求 有

(全 3 頁)

⑮ V溝MOS形電界効果トランジスタ

機株式会社北伊丹製作所内

⑯ 特 願 昭57—192771

⑰ 出 願 昭57(1982)11月1日

⑱ 発 明 者 山本武

伊丹市瑞原4丁目1番地三菱電

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

V溝MOS形電界効果トランジスタ

2. 特許請求の範囲

不純物濃度の低い第1の導電形層に間隔をおいて選択的に形成された第2の導電形層およびこの第2の導電形層内に不純物濃度の高い第1の導電形層が形成され、この間隔をおいて形成された両側の第2の導電形層とこの第2の導電形層内に形成された第1の導電形層とで形成されるpn接合の終端が溝の内部に露出するようにV形溝を形成することを特徴とするV溝MOS形電界効果トランジスタ。

3. 発明の詳細な説明

この発明は高耐圧化することができるV溝MOS形電界効果トランジスタに関するものである。

第1図は従来のV溝MOS形電界効果トランジスタを示す断面図である。同図において、(1)はn⁺層基板、(2)はn⁺ドレイン層、(3)はp層、(4)はn⁺拡散層、(5)はゲート酸化膜、(6)はゲート電極、(7)

はソース電極である。この構成によるV溝MOS形電界効果トランジスタ(以下VVMOSFETと記す)は一般に横形MOSFET(以下LMOSFETと記す)に比較してオン抵抗が小さく、しかもチップサイズを小さくすることができる利点を持っているが、V溝の先端に電界が集中するため、高耐圧のものが得られない。そこで、従来、高い耐圧を得るため、第2図に示すVVMOSFETが提案された。すなわち、第2図は従来の他のV溝MOS形電界効果トランジスタを示す断面図である。同図において、(8)は深く形成したp層である。この構成によるVVMOSFETはn⁺ドレイン層(2)とソース電極(7)の間に電圧が印加されたとき、V溝の左右n⁺層基板(1)側に広がる空乏層が比較的低い電圧で左右につながり、静電的にシールドするために、以後更に印加電圧が増大してもV溝の先端に電界が集中することなく、高い耐圧を得ることができる。

しかしながら、上記構成による従来のVVMOSFETではV溝周辺の電界集中を緩和する効果があ

るが、深いp層の下で電界集中が生じ、高耐圧化の効果が減少する欠点があつた。

したがつて、この発明の目的は局部的な電界集中をなくし、高耐圧化することができるVVMOSFETを提供するものである。

このような目的を達成するため、この発明は不純物濃度の低い第1の導電形層に間隔をおいて選択的に形成された第2の導電形層およびこの第2の導電形層内に不純物濃度の高い第1の導電形層が形成され、間隔をおいて形成された両側の第2の導電形層とこの第2の導電形層内に形成された第1の導電形層とで形成されるpn接合の終端が溝の内部に露出するようにV形溝を形成するものであり、以下実施例を用いて説明する。

第3図はこの発明に係るVVMOSFETの一実施例を示す概略断面図であり、第4図(a)～第4図(d)は第3図に示すVVMOSFETの製造工程を示す工程別断面図である。同図において、(9)および(10)はpn接合の終端がV溝の内部に露出するように形成したp層およびn⁺拡散層、(11)はドレイン電

極、かつ常にほぼ一定の距離を得ることができる。次に、第4図(d)に示すように、結晶方位に沿つてエッチングを行なつてV溝を作る。そして、このV溝にゲート酸化膜(5)、ゲート電極(6)、ソース電極(7)およびドレイン電極(11)を形成して第3図に示す構造のVVMOSFETが完成する。

以上詳細に説明したように、この発明に係るV溝MOS形電界効果トランジスタによれば(イ)V溝の左右に伸びる空乏層が、つながつてV溝先端を静電的にシールドするうえに、それ以上の電圧増大による空乏層の伸びはほぼ平坦なものとなり、局部的な電界集中が生じることはいないため、高耐圧が得やすくなる。(ロ)チャンネル長Lが小さく、かつバラツキも少なくなる。(ハ)ゲート電極直下のn⁻層ドレイン領域はDMOSFETに比して薄く、かつ小さいため、寄生MOS容量も小さくなるなどの効果がある。

4. 図面の簡単な説明

第1図および第2図はそれぞれ従来のV溝MOS形電界効果トランジスタを示す断面図、第3図は

極、(12)は酸化膜、(13)はフォトリソグレイである。

次に上記構成によるVVMOSFETの製造工程について第4図(a)～第4図(d)を参照して説明する。まず、第4図(a)に示すようにn⁻層基板(1)の両面に拡散によつて深いn⁺層を形成したのち、上面のn⁺層を研磨によつて除去し、下面のn⁺層を残してn⁺ドレイン層(2)を形成する。次に、n⁻層基板(1)上を部分的に酸化膜SiO₂(12)でマスクしてp型不純物例えばボロンをイオン注入してp層(9a)を形成する。次に、第4図(b)に示すようにフォトリソグレイ(13)でマスクしてn型不純物例えばAsをイオン注入し、n⁺層(10a)を形成する。次に、熱処理をすると、前記p型不純物およびn型不純物がn⁻層基板(1)中に拡散して第4図(c)に示すように、p層(9)およびn⁺層(10)を形成する。なお、上述した拡散法はDSA(Diffusion Self Alignment)と呼ばれる方法で、いわゆるDMOSFET(またはDSAMOSFET)を作る場合によく用いられる方法である。この方法を採用することにより、チャンネル長Lの基礎となるL₀(第4図(c)参照)は非常に短

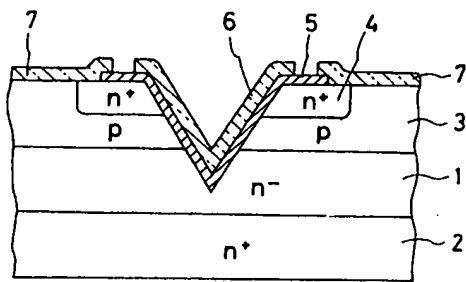
この発明に係るV溝MOS形電界効果トランジスタの一実施例を示す概略断面図、第4図(a)～第4図(d)は第3図に示すV溝MOS形電界効果トランジスタの製造工程を示す工程別断面図である。

(1)・・・n⁻層基板、(2)・・・n⁺ドレイン層、(3)・・・p層、(4)・・・n⁺拡散層、ゲート酸化膜、(6)・・・ゲート電極、(7)・・・ソース電極、(8)・・・p層、(9)・・・p層、(10)・・・n⁺拡散層、(11)・・・ドレイン電極、(12)・・・酸化膜、(13)・・・フォトリソグレイ。

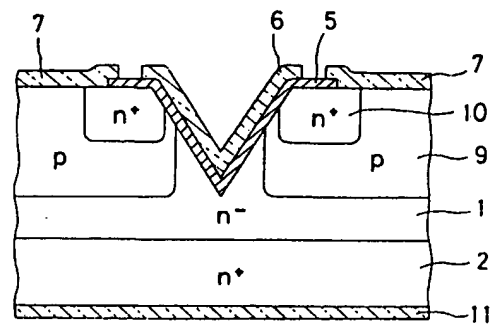
なお、図中、同一符号は同一または相当部分を示す。

代理人 葛 野 信 一

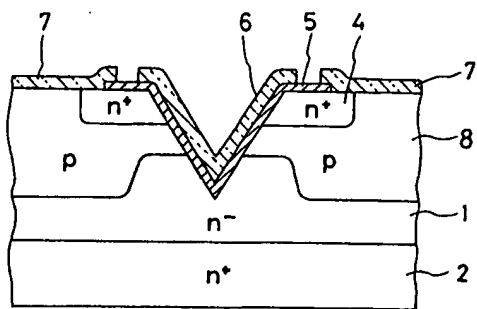
第 1 図



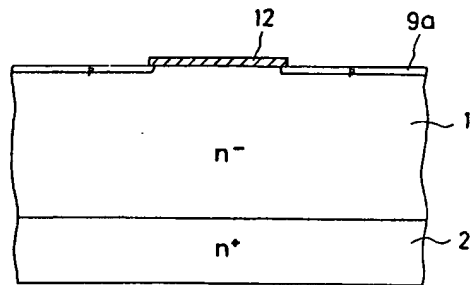
第 3 図



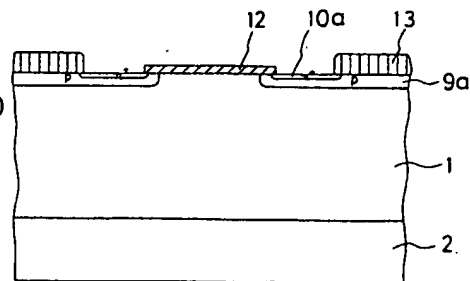
第 2 図



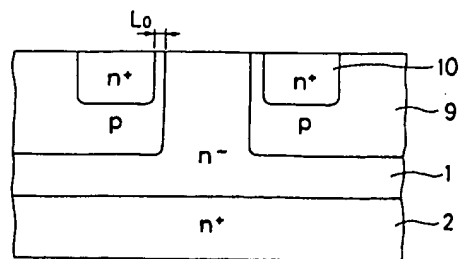
第 4 図 (a)



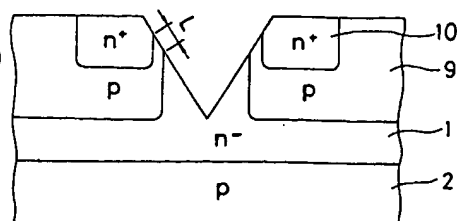
第 4 図 (b)



第 4 図 (c)



第 4 図 (d)





1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-080970**
(43)Date of publication of
application : **10.05.1984**

(51)Int.Cl. **H01L 29/78**
// H01L 29/60

(21)Application number :	57-192771	(71) Applicant :	MITSUBISHI ELECTRIC CORP
(22)Date of filing :	01.11.1982	(72)Inventor :	YAMAMOTO TAKESHI

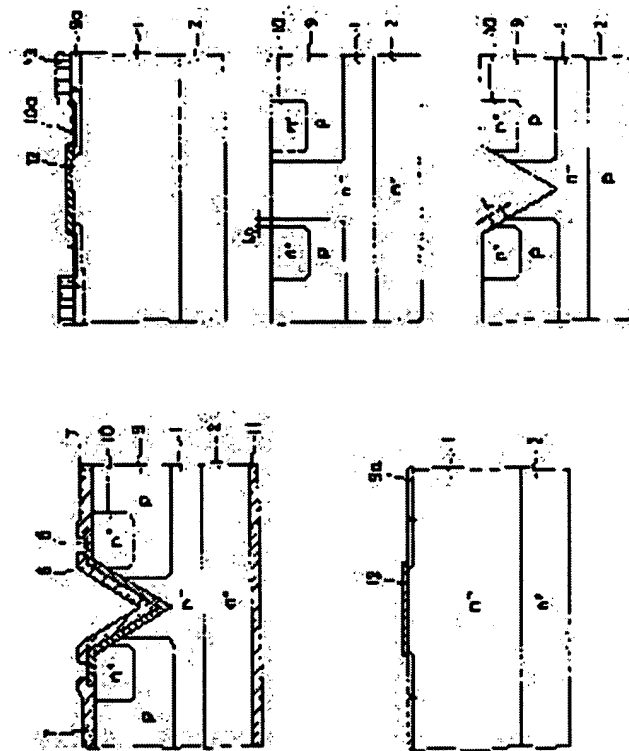
(54) V-GROOVE MOS TYPE FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To enable to easily obtain a high withstand voltage, to reduce the channel length and to lessen the irregularity thereof of the titled transistor by a method wherein a V-shape groove is formed in such a manner that the terminal of the P-N junction, to be formed by the second conductive type layer located on both sides leaving an interval and the first conductive type layer, is exposed on the internal part of the groove.

CONSTITUTION: After a deep n+ layer has been formed by diffusion performed on both surfaces of an n-layer substrate 1, the n+ layer on the upper surface is removed by polishing, and an n+ drain layer 2 is formed leaving the n+ layer on the lower surface. Then, a p-layer 9a is formed by ion-implanting p-type impurities such as boron, for example, using an oxide film SiO₂ 12 as a mask on a part of the n-layer substrate 1. Subsequently, an n+ layer 10 is formed by ion-implanting n type impurities such as As, for example, using a photoresist 13 as a mask, and a p-layer 9 and an n+ layer 10 are formed by performing a heat treatment.

Then, a V-groove is formed by performing an etching along the direction of crystallization, and a gate oxide film 5, a gate electrode 6, a source electrode 7 and a drain electrode 11 are formed respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office